

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-158912

(43)Date of publication of application : 08.07.1991

(51)Int.Cl.

G05F 1/56

(21)Application number : 01-300012

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 17.11.1989

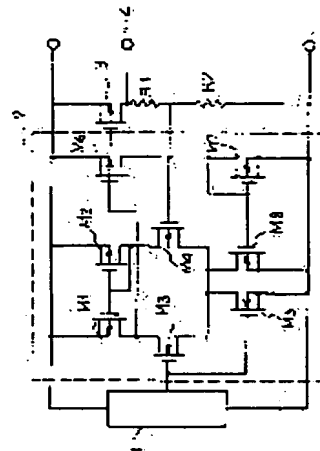
(72)Inventor : SUDO MINORU

(54) VOLTAGE REGULATOR

(57)Abstract:

PURPOSE: To obtain the voltage regulator whose current consumption is low and whose load response performance is high by varying a current value which is allowed to flow to an error amplifier in accordance with an output current.

CONSTITUTION: When a current (load current of a voltage regulator) flowing to an output transistor 3, and a current flowing to a transistor M6 are denoted as I_{OUT} and I_6 , respectively, the same gate voltage is applied to the output transistor 3 and M6. Therefore, in accordance with the ratio of transistor sizes of the output transistor 3 and M6, a current being proportional to I_{OUT} flows to M6. Subsequently, the same current as that of the transistor M6 flows to a transistor M7, and the same gate voltage is applied to the transistors M7, M8, therefore, in accordance with the ratio of transistor sizes of the transistors M7, M8, a current being proportional to I_6 flows to the transistor M8. In such a manner, by varying a current value which is allowed to flow to an error amplifier 2 in accordance with the load current value of the voltage regulator, the current consumption is reduced and the load response performance is enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-158912

⑬ Int. Cl.⁵
G 05 F 1/56

識別記号
3 1 0 F
P

庁内整理番号
8527-5H
8527-5H

⑭ 公開 平成3年(1991)7月8日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 ボルテージ・レギュレーター

⑯ 特 願 平1-300012

⑰ 出 願 平1(1989)11月17日

⑱ 発 明 者 須 藤 稔 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

ボルテージ・レギュレーター

2. 特許請求の範囲

基準電圧回路と、抵抗と誤差増幅器と、出力トランジスタとからなるCMOSモノリシック化されたボルテージ・レギュレーターにおいて、前記誤差増幅器に流す電流値を、ボルテージ・レギュレーターの負荷電流値に応じて変化させる手段を具備することを特徴としたボルテージ・レギュレーター。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、CMOSモノリシック化されたボルテージ・レギュレーターに関するものである。

[発明の概要]

本発明は、ボルテージ・レギュレーターの誤差増幅器に流す電流値を、ボルテージ・レギュレ

ターの負荷電流値に応じて変化させることで、低消費電流で負荷応答性能の高いボルテージ・レギュレーターを提供するものである。

[従来の技術]

従来の正の出力電圧を持つボルテージ・レギュレーターの回路図を第2図に示す。基準電圧回路1と抵抗 R_1 と R_2 とから取り出された電圧は、トランジスタ M_1 、 M_2 で構成される誤差増幅器2で比較され、出力トランジスタ3を制御する。つまり、抵抗 R_1 、 R_2 から取り出された電圧が、基準電圧より小さければ、誤差増幅器2の出力は低くなり、出力トランジスタ3を強くバイアスし、逆に抵抗 R_1 、 R_2 から取り出された電圧が基準電圧より高ければ出力トランジスタ3を弱くバイアスして出力端子4には一定の電圧が得られる。

この時、誤差増幅器2には、トランジスタ M_1 のゲート電圧を基準電圧回路1から供給している為、一定の電流が流れる。

第2図のボルテージ・レギュレーターの場合、

BEST AVAILABLE COPY

特開平 3-158912(2)

次のような問題点が生じる。

トランジスタ M_1 の電流値を I_1 、誤差増幅器 2 の負荷となる、出力トランジスタ 3 のゲート容量値を C とすると、誤差増幅器 2 のスルー・レート SR は、式 (1) で表わされる。

$$SR = I_1 / C \quad \dots (1)$$

式 (1) から明らかなように、誤差増幅器 2 の応答性能を高めるには、 I_1 を大きくし、 C を小さくすれば良い。

しかし、 C を小さくすることは、出力トランジスタ 3 のゲート面積を小さくすることであり、これは、ボルテージ・レギュレーターの出力電流の低下を招き、また、 I_1 を大きくするということは、ボルテージ・レギュレーターの消費電流の増大を招き、どちらも、ボルテージ・レギュレーターの性能を低下させることになる。

〔課題を解決するための手段〕

本発明は、従来の技術の課題を解決することを目的とし、とりわけ、低消費電流で負荷応答性能の高いボルテージ・レギュレーターを提供でき

た。

具体的には、誤差増幅器 2 に流す電流値をボルテージ・レギュレーターの負荷電流値に応じて変化させることによって、低消費電流で負荷応答性能を高めるものである。

〔実施例〕

以下、図面に従って本発明の実施例を詳細に説明する。

第 1 図は、本発明の正の出力電圧を持つボルテージ・レギュレーターの回路図である。基準電圧回路 1、出力トランジスタ 3、及び、抵抗 R_1 、 R_2 は第 2 図と同様である。誤差増幅器 2 は、従来のトランジスタ M_1 、 M_2 に、出力トランジスタ 3 のゲートとソースをそれぞれゲートとソースとするトランジスタ M_3 、 M_4 のドレインに対し、ドレインとゲートを共通に結線し、かつ M_3 のソースとソースを結線したトランジスタ M_5 、 M_6 のゲートとゲートが結線され、かつ、 M_5 のソースとドレインをそれぞれソースとドレインに結線したトランジスタ M_7 が付加されている。

3

出力トランジスタ 3 に流れる電流（ボルテージ・レギュレーターの負荷電流）を I_{out} 、トランジスタ M_1 に流れる電流を I_1 とすると、出力トランジスタ 3 と M_1 には、同じゲート電圧が加わるので、出力トランジスタ 3 と M_1 のトランジスタサイズの比に応じて、 I_{out} に比例した電流が M_1 に流れる。例えば、出力トランジスタ 3 のゲート長 L を $10 \mu m$ 、ゲート幅 W を $10000 \mu m$ 、 M_1 のゲート長 L を $10 \mu m$ 、ゲート幅 W を $10 \mu m$ とすれば、 I_1 と I_{out} の比は、

$$I_1 / I_{out} = (10/10) / (10000/10) = 1/1000$$

となり、出力電流 I_{out} の $1/1000$ の電流が M_1 に流れる。

M_3 には、 M_5 と同じ電流が流れ、 M_3 と M_5 は、同じゲート電圧が加わるので M_3 と M_5 のトランジスタサイズの比に応じて、 I_1 に比例した電流が M_3 に流れる。 M_3 に流れる電流を I_3 とすると、例えば、 M_3 のゲート長 L を $10 \mu m$ 、ゲート幅 W を $10 \mu m$ 、 M_5 のゲート長 L を $10000 \mu m$ 、ゲート幅 W を $10 \mu m$ とすれば、 I_3 と

4

I_1 の比は、

$$I_3 / I_1 = (10/100) / (10/10) = 1/10$$

となり、 M_3 の $1/10$ の電流が M_5 に流れる。すなわち、 I_3 は出力電流 I_{out} に比例して

$$I_3 = I_{out} / 10000$$

の電流が流れる。

この時の誤差増幅器のスルー・レート SR は、

(1) 式と同様に、(2) 式で表わされる。

$$SR = (I_1 + I_3) / C \quad \dots (2)$$

式 (2) から明らかなように、トランジスタ M_1 の電流 I_1 の分だけ、スルー・レートが改善されることになる。

例えば、ボルテージ・レギュレーターの負荷電流が突然多くなって、出力電圧が低下すると M_1 と出力トランジスタ 3 のゲート電圧が下がり I_1 が多く流れ、これによって、 M_3 と出力トランジスタ 3 のゲート電圧を下げるスピードが促進され負荷応答が第 4 図のようになる。

また、 I_1 と I_3 は、出力電流 I_{out} に対し無視できる程度に小さい値になるように設定する。

5

-72-

6

BEST AVAILABLE COPY

特開平 3-158912(3)

尚、第1図では、正の出力電圧を持つボルテージ・レギュレーターについて示しているが、第3図のように負の出力電圧を持つボルテージ・レギュレーターにおいても $M_6 \sim M_{11}$ を付加することで、同等の効果があることは明らかである。

〔発明の効果〕

以上述べたように本発明によれば、出力電流に応じて誤差増幅器に流す電流値を変化させることで、低消費電流で負荷応答性能の高いボルテージ・レギュレーターを提供できるという効果がある。

4. 図面の簡単な説明

第1図は本発明の正の出力電圧を持つボルテージ・レギュレーターの回路図、第2図は従来の正の出力電圧を持つボルテージ・レギュレーターの回路図、第3図は本発明の負の出力電圧を持つボルテージ・レギュレーターの回路図、第4図はボルテージ・レギュレーターの負荷応答を示す図である。

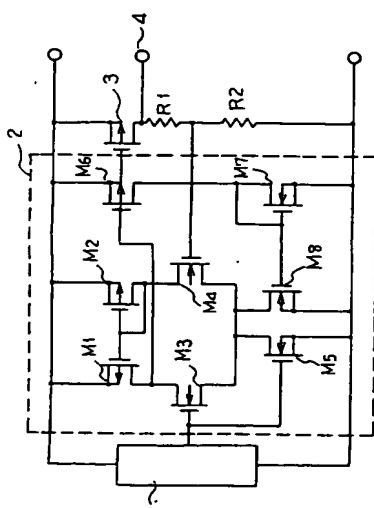
- 1・・・基準電圧回路
- 2・・・誤差増幅器
- 3・・・出力トランジスタ

以上

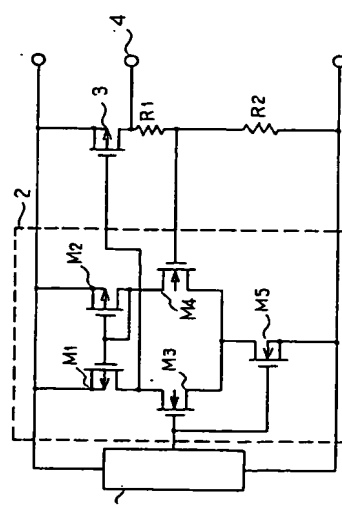
出願人 セイコー電子工業株式会社
代理人 井理士 林 敬之助

7

8



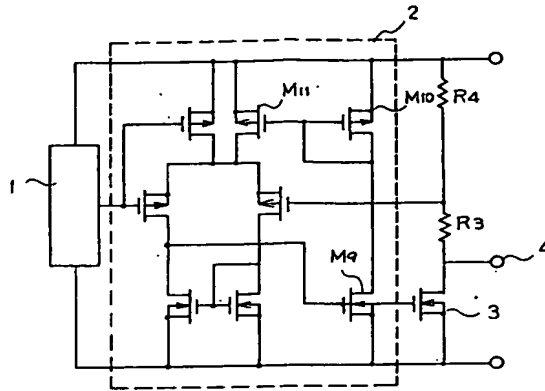
第 1 図



第 2 図

BEST AVAILABLE COPY

特開平 3-158912(4)



第 3 図

出力電圧
第1図のボルテージレギュレーター
第2図のボルテージレギュレーター

出力電流

第 4 図